

Remarks:

The record of the examination results relating to documents of the prior art does not constitute the grounds for rejection.

## ⑫ 公開特許公報(A)

平4-11776

⑤ Int. Cl.<sup>5</sup>H 01 L 29/48  
21/265

識別記号

S

庁内整理番号

7738-4M

④ 公開 平成4年(1992)1月16日

7738-4M

H 01 L 21/265

Z

審査請求 有 請求項の数 14 (全7頁)

⑭ 発明の名称 PtSi/Si構造を備えた半導体装置及びそのフッ素イオン注入方法

⑰ 特 願 平2-100149

⑱ 出 願 平2(1990)4月16日

⑲ 発 明 者 チヤン・マオジェ 台湾シンヂュウ ボオアイ・ストリート75号 ナショナル  
ジアオトン ユニバーシティ内(番地なし)

⑳ 発 明 者 ツエイ・ビンユエ 台湾シンヂュウ ボオアイ・ストリート75号 ナショナル  
ジアオトン ユニバーシティ内(番地なし)

㉑ 発 明 者 ツアイ・ジュインイエ  
ン 台湾シンヂュウ ボオアイ・ストリート75号 ナショナル  
ジアオトン ユニバーシティ内(番地なし)

㉒ 出 願 人 ナショナル・サイエン  
ス・カウンスル 台湾, タイペイ, セクション 2, 106 ホーピン イー  
ストロード, 18 フロア(番地なし)

㉓ 代 理 人 弁理士 福森 久夫

## 明 細 書

## 1. 発明の名称

PtSi/Si構造を備えた半導体装置及びそのフッ素イオン注入方法

## 2. 特許請求の範囲

(1) PtSi/Si構造中にフッ素を含むイオンを含有することを特徴とする高温安定性に優れたPtSi/Si構造を備えた半導体装置。

(2) PtSi/Si構造に対してフッ素を含むイオンを注入することで、PtSi/Si構造の高温安定性を向上させることを特徴とするPtSi/Si構造を備えた半導体装置のフッ素イオン注入方法。

(3) PtSi/Si構造に対してフッ素を含むイオンの注入および高温焼きなまし処理を行うことで、ショットキー・バリヤーの障壁高さを調整することを特徴とするPtSi/Si構造を備えた半導体装置のフッ素イオン注入方法。

(4) 上記PtSi/Si構造がSi基体上へのPtの形成および低温焼きなましにより形成さ

れることを特徴とする請求項2または3記載のPtSi/Si構造を備えた半導体装置のフッ素イオン注入方法。

(5) 上記PtSi/Si構造がSi基体上にPtSiを形成することで形成されることを特徴とする請求項2または3記載のPtSi/Si構造を備えた半導体装置のフッ素イオン注入方法。

(6) 上記高温焼きなまし、700℃以上であることを特徴とする請求項3記載のPtSi/Si構造を備えた半導体装置のフッ素イオン注入方法。

(7) 上記低温焼きなまし、700℃以下であることを特徴とする請求項4記載のPtSi/Si構造を備えた半導体装置のフッ素イオン注入方法。

(8) 上記フッ素を含むイオンが、少なくともF<sup>\*</sup>またはBF<sub>3</sub><sup>\*</sup>であることを特徴とする請求項2記載のPtSi/Si構造を備えた半導体装置のフッ素イオン注入方法。

(9) 上記フッ素を含むイオンが、少なくとも  $F^+$  であることを特徴とする請求項3記載の PtSi/Si 構造を備えた半導体装置のフッ素イオン注入方法。

(10) 上記イオン注入が、Pt形成の前に行われることを特徴とする請求項4記載の PtSi/Si 構造を備えた半導体装置のフッ素イオン注入方法。

(11) 上記イオン注入が、Pt形成の後に行われることを特徴とする請求項4記載の PtSi/Si 構造を備えた半導体装置のフッ素イオン注入方法。

(12) 上記イオン注入が、Pt形成および低温焼きなましの後に行われることを特徴とする請求項4記載の PtSi/Si 構造を備えた半導体装置のフッ素イオン注入方法。

(13) 上記イオン注入が、PtSi形成の後に行われることを特徴とする請求項2、3、5のいずれか1項記載の PtSi/Si 構造を備えた半導体装置のフッ素イオン注入方法。

成できるものであったので、この PtSi/Si 構造はシリコントランジスタを中心とする半導体デバイスおよび集積回路に広く利用されてきた (J.M.Andrews and M.P.Lepseiter, Solid State Electronics, vol.13, pp.1011, 1970 および J.M.Andrews, J.Vac.Sci.Technol., vol.11, pp.972, 1974 を参照)。

また、この PtSi/Si 構造は 77℃K という低温下では赤外線検出デバイスとして作用した (W.F.Kosonocky, F.V.Shallcross, T.S.Villani, and J.V.Groppe, IEEE Trans. Electron Devices, vol. ED-22, pp.1564, 1985 を参照)。

さらに、PtSi は、その抵抗係数がわずかに  $30\mu\Omega\text{-cm}$  であるのでゲートおよび配線部分に使用できる金属材料として最適であった (S.P.Murarka, J.Vac.Sci.Technol., vol.17, pp.775, 1980 および S.P.Murarka, J.Vac.Sci.Technol., vol. B4, pp. 1325, 1986 を参照)。

【発明が解決しようとする課題】

しかしながら、従来技術の PtSi/Si 構造

(14) 上記イオン注入が、Si 基体内部に浸透するフッ素イオン量を少なくとも  $1 \times 10^{14} \text{ cm}^{-2}$  とする請求項2、3、8乃至13のいずれか1項記載の PtSi/Si 構造を備えた半導体装置のフッ素イオン注入方法。

### 3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は、半導体装置及びそのイオン注入法に関し、特に、PtSi/Si 構造を備えた半導体装置においてフッ素を含むイオンを所定剂量以上となるように注入して高温安定性を向上させるとともに、ショットキー・バリアーの障壁高さを調整する PtSi/Si 構造を備えた半導体装置及びそのフッ素イオン注入法に関する。

〔従来の技術〕

従来技術の PtSi/Si 構造において、PtSi (白金ケイ素化合物) は低濃度の n 形シリコン基板上にショットキー・コンタクトを形成できると同時に、p 形シリコン基板または高濃度の n 形シリコン基板上にオーミック・コンタクトを形

においては、高温安定性に欠けるという欠点があった。

つまり、Pt (プラチナ) - Si (シリコン) 系の最低共融点は 830℃ しかないので (M. Hansen, Constitution of Binary Alloys, McGraw-Hill, New York, 1959 を参照)、先に低温焼成により PtSi を形成しても 700℃ を越える高温に遭遇すると、PtSi はやはりアグレミレーションとよばれる塊状凝集を引き起こして PtSi 膜が分断されるとともに、電気抵抗値が大幅に増大していた (A.K.Sinha, S.E.Haszko, T.T.Sheng, J. Electrochem. Soc., vol. 122, pp. 1714, 1975 を参照)。同時に、Pt がシリコン基板中に拡散を始めて、PtSi/Si 構造のショットキー・バリアーの障壁高さが低くなることから、逆方向電流が大きくなって、順方向電流の理想係数も大きくなっていった (M.Eizenberg, H.Foell, K.N.Tu, J. Appl. Phys., vol. 52, pp. 861, 1981 を参照)。そして、PtSi が浅い接合のオーミック・コンタクトに使用される場合は、Pt が Si 基板に

拡散する (A. Prabhakar, T. C. McGill, and M. A. Nicolet, Appl. Phys. Lett., vol. 43, pp. 1118, 1983 を参照) が、この拡散した Pt が浅い接合部分の電気特性を破壊するものとなっていた。

そこで、従来技術においては、PtSi/Si 構造の高温安定性を向上させるために、シリコンとプラチナとを共同形成させて、Si/Pt の原子数比率を共融時の原子数比率よりも高くすることで最低共融点を乗り越える試みがなされていた (S. P. Murarka, E. Kinsbron, D. B. Fraser, J. M. Andrews, and E. J. Lloyd, J. Appl. Phys., vol. 54, pp. 6943, 1983 を参照)。しかし、この方法により PtSi に塊状凝集が発生することを抑止することが出来るというものの、抵抗係数が増大するとともにショットキー・バリアーの障壁高も低くなっていた。そして、高温焼きなまし処理を経ても、PtSi/Si コンタクトの順方向および逆方向電気特性はやはり劣化を避けられなかった。また、この方法は高温安定性に欠けるとともに、大規模集積回路の製造に適するものではなかった。

そして、上記 PtSi/Si 構造が、Si 基体上へ Pt を形成 (堆積) した後、低温焼きなましを行うことにより形成すると都合がよい。

また、上記 PtSi/Si 構造が、Si 基体上に Pt および Si 原子を共同形成する (すなわち Si 基体上に直接 PtSi 層を堆積する) ことで形成されることもできる。

さらに、上記高温焼きなましが 700℃ 以上、上記低温焼きなましが 700℃ 以下であると好都合である。

上記フッ素を含むイオンが少なくとも  $F^+$  または  $BF_3^+$  であると都合がよいが、ショットキー・バリアーの障壁高さを調整するためには上記フッ素を含むイオンが少なくとも  $F^+$  であると都合がよい。

さらに、上記イオン注入が、Pt 形成の前に行われること、Pt 形成の後に行われること、Pt 形成および低温焼きなましの後で行われること、Pt および Si の共同形成の後で行われることのいずれかを選択できる。

た。

この発明は、以上のような実情を背景としてなされたもので、PtSi/Si 構造を備える半導体装置において、フッ素を含むイオンを注入することで高温安定性を向上させるとともに、ショットキー・バリアーの障壁高さを調整できる技術を提供することを目的としている。

〔課題を解決するための手段〕

上述した課題を解決し所望の目的を達成するために、PtSi/Si 構造を備えた半導体装置のフッ素イオン注入法において、PtSi/Si 構造に対してフッ素を含むイオンを注入すると、PtSi/Si 構造の高温安定性を向上させる上で効果的である。

また、PtSi/Si 構造を備えた半導体装置のフッ素イオン注入法において、PtSi/Si 構造に対してフッ素を含むイオンの注入および高温焼きなまし処理を行うことで、ショットキー・バリアーの障壁高さを調整する上で効果的である。

そして、上記イオン注入が、Si 基体内部に浸透するフッ素イオン剤量を少なくとも  $1 \times 10^{14} \text{ cm}^{-2}$  とすると、PtSi/Si 構造の高温安定性向上およびショットキー・バリアーの障壁高さを調整する上で効果的である。

〔作用〕

上述のように構成された PtSi/Si 構造を備えた半導体装置は、高温安定性を従来のものと比べて 100℃ ほど向上させると同時に、ショットキー・バリアーの障壁高さをコントロールすることができる。

この現象を本発明人が理論化したバリアーモデルに基づいて簡単に説明してみると、高温焼きなまし過程においてシリコン基体に注入されたフッ素イオンが外方向へ拡散するが、PtSi/Si の界面には Si のダングリング・ボンド (dangling bond) が多数あってフッ素イオンと結合する。しかも Si-F の結合力は 5.73 eV と強力である。したがって、フッ素イオンが PtSi/Si の界面に拡散していくと、Si の

ダングリング・ボンドと容易に結合して当該界面に堆積される。そして、堆積されたフッ素イオンの量が十分であると、一種のバリアー層を形成することとなってPtがシリコン基体の内部に向けて移動するのを防止するので、PtSi/Si構造の高温安定性が向上することになる。

また、PtSi/Si界面の前記ダングリング・ボンドとフッ素イオンとが結合すると表面状態が大幅に安定化するので、ショットキー・バリアーの障壁高さはPtSiの仕事関数とシリコンの電子親和力との差から影響を受けて増大し、ショットキー・バリアーの障壁高さが高温でも安定性を維持できるとともに、焼きなまし温度のコントロールによってショットキー・バリアーの障壁高さを調整できることになる。

なお、Pt (300 Å) / Si 基体およびPtSi (600 Å) / Si 基体に対するイオン注入エネルギー量を80 KeVとしたのは、フッ素イオンがSiの表面付近に集中すると良い結果が得られるためである。Si基体に浸透させるイ

$\text{cm}^{-2}$ 、イオンエネルギー量80 KeVの条件で、シリコン基板内部に浸透するフッ素イオン剂量が $1 \times 10^{14} \text{cm}^{-2}$ の所定値以上となるように行う。また、このイオン注入5は $\text{F}^+$ と $\text{B}^+$ とを別々に注入する方法を採用することもできる。

なお、第1図(a)においてp形シリコン基板1を使用する場合は、第1図(c)において $\text{F}^+$ イオンと $\text{As}^+$ (ヒ素)イオンとを別々に注入するとよい。

続いて第1図(d)に示すように、シリコン基板1を窒素ガス雰囲気中で400℃の低温焼きなましを60分おこなってPtSi膜6を焼成させるとともに、白金シリサイド化しない未反応のPt膜4を熱王水で除去し、第1図(e)に示すように、シリコン基板1を小片に切りわけて、複数のフッ素イオン注入サンプル7とする。

#### (試験例1)

このようにして得られた複数のフッ素イオン注入サンプル7を窒素ガス雰囲気中の700℃、750℃、800℃、830℃、850℃という

イオン剂量を $1 \times 10^{14} \text{cm}^{-2}$ 以上としたのは、剂量が低いと良い結果が得られないからである。

#### [実施例]

以下、この本発明にかかわる好適な実施例を図面に基づいて説明する。

#### (実施例-1)

第1図において、第1図(a)に示すように、例えば、基板面方位が(100)で抵抗係数が4~10  $\Omega\text{-cm}$ のn形シリコン基板1を選んで、標準RCAクリーニング過程を経て洗浄し、湿式酸化法により1000℃、90分で約4700 Åのシリコン酸化膜( $\text{SiO}_2$ )2を形成する。次に、第1図(b)に示すように、ネガの光リソグラフとBOEエッチングとにより1000×1000  $\mu\text{m}^2$ の開口部3を作る。そして第1図(c)に示すように、 $4 \times 10^{-8} \text{Torr}$ 以下の真空雰囲気において電子ビーム蒸着法により毎秒約1 Åの速度で、300 ÅのPt膜4を生成させて、フッ素を含むイオン $\text{BF}_2^+$ の注入5を行う。このイオン注入5は、イオン剂量 $5 \times 10^{15}$

それぞれ異なった温度において90分の焼きなましを行うとともに、この焼きなまし過程において、比較用として、同様にPtSi/Si構造を備えているが、フッ素イオンを注入していないフッ素イオン未注入サンプル8(図示せず)も焼きなましした。

この試験例1の結果を第2図に示しており、この第2図において、図中●はフッ素を含むイオン( $\text{F}^+$ または $\text{BF}_2^+$ )を注入したフッ素イオン注入サンプル7を示し、○はフッ素イオン未注入サンプル8を示すとともに、縦線にシート電気抵抗値 $R_s$ ( $\Omega/\square$ :  $\square$ はシートを示す)を、横線に焼きなまし温度(℃)をそれぞれ示している。

なお、400℃のサンプルは焼きなましをおこなっていないものを示す。

この第2図から分かるように、焼きなまし温度が700℃を超える前までは、図中●で示すフッ素イオン注入サンプル7および図中○で示すフッ素イオン未注入サンプル8とも電気抵抗値 $R_s$

は低い値で安定していたが、700℃を過ぎて800℃に至るサンプル7、8においては、明確な差異が現れた。つまり、図中●で示すフッ素イオン注入サンプル7が低い電気抵抗値 $R_s$ を維持して高温安定性が向上したことを示したのに対して、図中○で示すフッ素イオン未注入サンプル8が急激に電気抵抗値 $R_s$ を上昇させて高温安定性に欠けることを明示した。

#### (試験例2)

次に、試験例1で焼きなまし温度が800℃で処理されたサンプル7、8のPtSi膜をはがしてSEM(走査電子顕微鏡)で比較すると、第5図の写真に示すようであった。

この第5図において、(a)はフッ素イオン注入サンプル7を示し、(b)はフッ素イオン未注入サンプル8を示しているが、この第5図から分かるように、800℃の高温において、(b)のフッ素イオン未注入サンプル8がアグレミレーションと呼ばれる塊状凝集が出現してPtがシリコン基板の内部へ拡散していることを示したのに

較したもので、上側に順方向電流の理想係数 $N$ を、下側にショットキー・バリアーの障壁高さ( $\phi_{BN}$ ; 単位はeV)をそれぞれ示しているとともに、●▲がフッ素イオン注入サンプル7を、○△がフッ素イオン未注入サンプル8を示している。この第4図から分かるように、フッ素イオン未注入サンプル8においては、700℃以上になると順方向電流の理想係数 $N$ が増大するとともに、ショットキー・バリアーの障壁高さ( $\phi_{BN}$ )が低下していた。しかし、フッ素イオン注入サンプル7においては、温度が高くなるほどイオン注入による照射損傷が回復して順方向電流の理想係数 $N$ が1に近くなるとともに、ショットキー・バリアーの障壁高さ( $\phi_{BN}$ )は800℃で最高値0.984eVに達していることが分かった。さらに温度が上がると順方向電流の理想係数 $N$ がわずかながら大きくなるとともに、ショットキー・バリアーの障壁高さ( $\phi_{BN}$ )も少し低下していた。したがって、700℃～850℃の範囲で焼きなまし温度をコントロールするとPtSi/Si構

造に対して、(a)のフッ素イオン注入サンプル7ではSi分布が均質なままであった。

#### (試験例3)

第3図において、第2図に示した各サンプル7、8をPtSi膜を残したままRBS(Rutherford Backscattering Spectrometer: ラザフォード後方錯乱分光器)で分析すると、ライン——で示した800℃で焼きなまし処理されたフッ素イオン注入サンプル7は、ライン——で示した400℃で焼きなまし処理されたフッ素イオン注入サンプル7とPtSi膜の厚さが全く同一で変化させていないが、ライン・・・で示した800℃で焼きなまし処理されたフッ素イオン未注入サンプル8は、特にPt部分において横に広がっておりPtがシリコン基板の内部へ拡散していることを示した。

#### (試験例4)

第4図は、第2図の各サンプルについて、ショットキー・コンタクトの順方向電流の理想係数およびショットキー・バリアーの障壁高さを比

較のショットキー・バリアーの障壁高さ( $\phi_{BN}$ )を調整できることが分かった。そして焼きなまし温度が750～850℃以下である限りにおいては、どのようにコントロールしても順方向電流の理想係数 $N$ が1.05以下に保持されるので、使用に耐える半導体デバイスを提供することができる。

#### (実施例-2)

第1図(d)(e)において、PtSi膜6を共同形成により形成することも可能であり、第1実施例と同様な結果が得られる。

#### (実施例-3)

第1図(b)において、第1図(c)のイオン注入5を先に行ってからPtまたはPtSiを薄膜形成しても、第1実施例と同様な結果が得られる。

なお、この発明のフッ素イオン注入において、シリコン基板に含まれるフッ素イオン剂量を少なくとも $1 \times 10^{14} \text{ cm}^{-2}$ としているが、この剂量は、モンテカルロ・シミュレーションのプログラ

ムTRIM-86を使用して、イオン注入エネルギーとPt/SiまたはPtSi/Si構造のPtまたはPtSiの膜厚からシミュレーション計算して得た。また、加速 $\text{BF}_2^+$ イオンのエネルギー量を80 KeVとしているのは、Pt(300Å)/Si基板およびPtSi(600Å)/Si基板に対して、80 KeV未満だと、フッ素イオンがシリコン基板に浸透する量が不足し、80 KeV以上だとフッ素イオンがシリコン基板の深い部分に集中してしまい、PtSi/Siの界面にフッ素イオンを集中することが出来なくなるからである。

#### [発明の効果]

この発明は以上に説明したように構成されているので少なくとも下記の効果を奏する。

請求項1においては、高温安定性に優れた半導体装置が得られる。

請求項2、4、5、7、8、10～14記載の方法においては、PtSi/Si構造のSi基体に少なくとも所定剂量の $1 \times 10^{14} \text{ cm}^{-2}$ 以上

ショットキー・バリアーの障壁高さおよび順方向電流の理想係数Nにおよぼす影響の比較)を示す分析図である。

第5図は、試験例2として各サンプルにおいてPtSi膜をはがしたSi表面のSEM像を示す写真である。

1…Si(シリコン)基板、2… $\text{SiO}_2$ (シリコン酸化)膜、3…開口部、4…Pt(プラチナ)膜、5…イオン注入、6…PtSi膜、7…フッ素イオン注入サンプル、8…フッ素イオン未注入サンプル。

のフッ素イオンを浸透させるだけで、PtSi/Si構造の高温安定性が従来の700℃から800℃にまで向上した半導体装置とすることが出来るので、産業上の利用価値が高く、超大規模集積回路に利用することが可能になる。

請求項3、4、6、7、9～14記載の方法においては、高温焼きなまし温度を適当にコントロールすることで、PtSi/Si構造におけるショットキー・バリアーの障壁高さを調整できるので、産業上の利用価値が高い。

#### 4. 図面の簡単な説明

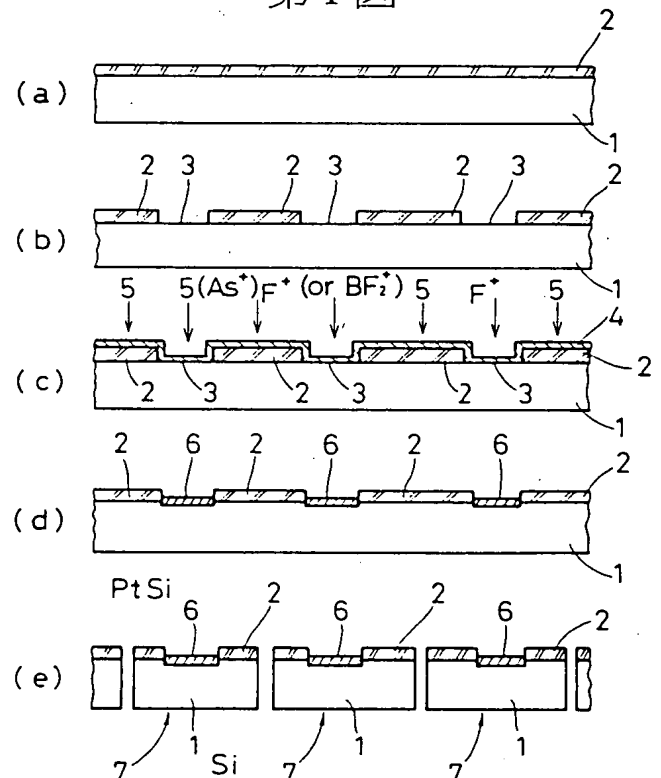
第1図は、この発明にかかわる方法を説明するための半導体装置の要部断面図である。

第2図は、その試験例1(焼きなまし温度がPtSi/Si製造のシート電気抵抗におよぼす影響の比較)を示す分析図である。

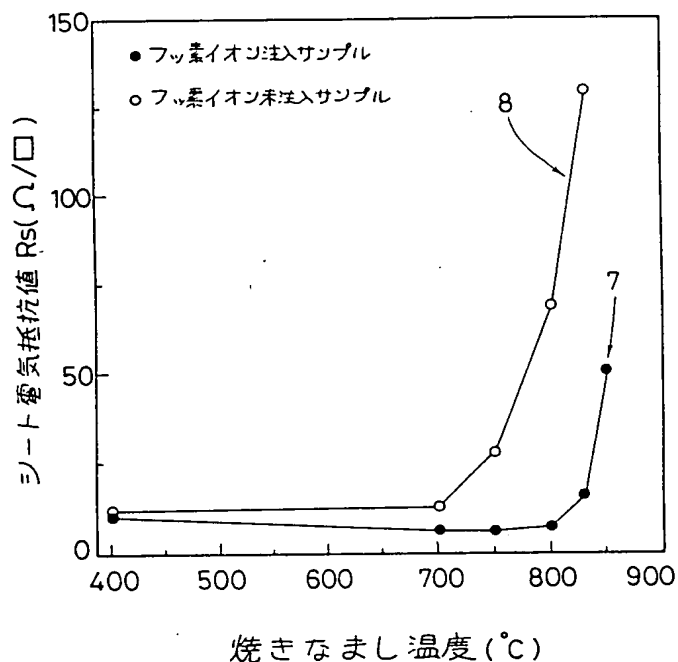
第3図は、その試験例3(焼きなまし温度がPtの拡散におよぼす影響の比較)を示す分析図である。

第4図は、その試験例4(焼きなまし温度が

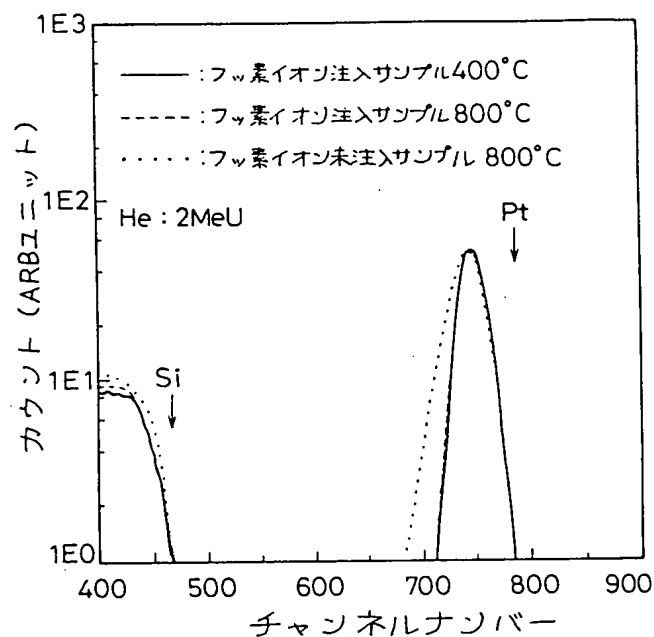
第1図



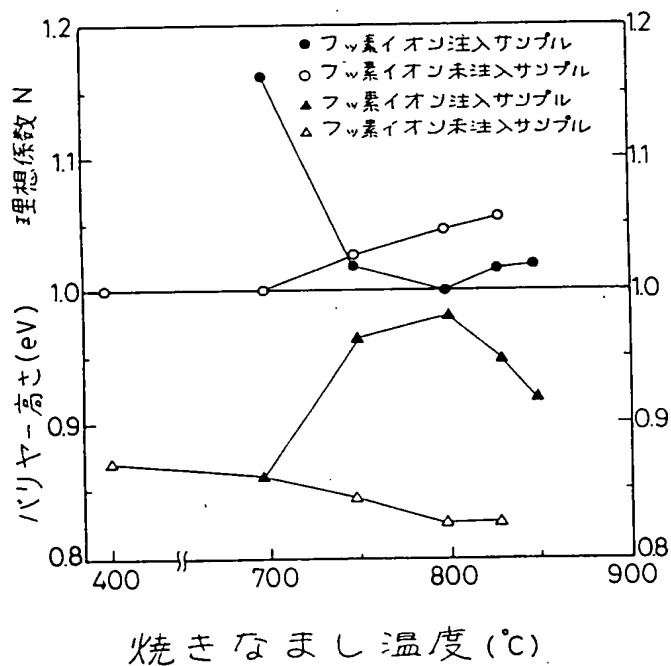
第2図



第3図

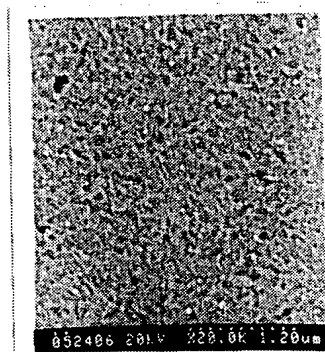


第4図



第5図

(a)



(b)

